



①9 **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

⑫ **Offenlegungsschrift**  
⑩ **DE 102 28 691 A 1**

⑤1 Int. Cl.<sup>7</sup>:  
**H 01 L 21/762**  
H 01 L 21/8242

⑲ Aktenzeichen: 102 28 691.4  
⑳ Anmeldetag: 27. 6. 2002  
㉑ Offenlegungstag: 13. 3. 2003

③0 Unionspriorität:  
09/904799 13. 07. 2001 US  
  
⑦1 Anmelder:  
Infineon Technologies North America Corp., San  
Jose, Calif., US  
  
⑦4 Vertreter:  
Patentanwälte Westphal, Mussnug & Partner,  
78048 Villingen-Schwenningen

⑦2 Erfinder:  
Knorr, Andreas, Fishkill, N.Y., US; Seitz, Mihel,  
Wappingers Falls, N.Y., US

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

- ⑤4 Verfahren zur Lückenausfüllung durch sequentielles HDP-CVD bei hohem Seitenverhältnis
- ⑤7 Verfahren zur Bereitstellung von Isolation zwischen Elementbereichen eines Halbleiter-Speicherbauelements (200). Isolationsgräben (211) werden mit mehreren sequentiellen anisotropen HDP-CVD-Abscheidungsprozessen von isolierendem Material (216/226/230) gefüllt, wobei jedem Abscheidungsprozeß ein isotropes Zurückätzen folgt, um das isolierende Material (216/226/230) von den Seitenwänden der Isolationsgräben (211) zu entfernen. Nach der Ausbildung der Isolationsgräben (211) kann eine Nitrid-Deckschicht (225) abgeschieden werden. Ein oberer Teil der Nitrid-Deckschicht (225) kann vor der Abscheidung der obersten Schicht aus isolierendem Material (230) entfernt werden.

DE 102 28 691 A 1

DE 102 28 691 A 1

## TECHNISCHES GEBIET

[0001] Die vorliegende Erfindung betrifft allgemein die Herstellung von integrierten Schaltungen (ICs) und insbesondere die Herstellung von Speicher-ICs.

## ALLGEMEINER STAND DER TECHNIK

[0002] Halbleiterbauelemente werden in vielfältigen elektronischen Anwendungen verwendet, zum Beispiel in PCs und in Mobiltelefonen. Ein solches Halbleiterprodukt, das vielfach in elektronischen Systemen zum Speichern von Daten eingesetzt wird, ist ein Halbleiterspeicher, und ein üblicher Typ von Halbleiter ist ein dynamischer Direktzugriffsspeicher (DRAM).

[0003] Ein DRAM enthält in der Regel Millionen oder Milliarden einzelner DRAM-Zellen, wobei jede Zelle ein Datenbit speichert. Eine DRAM-Speicherzelle enthält in der Regel einen Zugriffs-Feldeffekttransistor (FET) und einen Speicherkondensator. Der Zugriffs-FET ermöglicht den Transfer von Datenladungen zu und von dem Speicherkondensator während Lese- und Schreiboperationen. Zusätzlich werden die Datenladungen auf dem Speicherkondensator periodisch bei einer Auffrischoperation aufgefrischt.

[0004] Ein anderes Halbleiter-Speicherbauelement wird als ferroelektrischer Direktzugriffsspeicher (FRAM) bezeichnet. Ein FRAM weist in der Regel eine ähnliche Struktur wie ein DRAM auf, besteht aber aus solchen Materialien, daß der Speicherkondensator nicht wie bei einem DRAM dauernd aufgefrischt werden muß. Übliche Anwendungen für FRAMs sind zum Beispiel Mobiltelefone und digitale Kameras.

[0005] Von der Halbleiterindustrie wird im allgemeinen gefordert, die Größe von auf integrierten Schaltungen angeordneten Halbleiterbauelementen zu verringern. Eine Miniaturisierung ist im allgemeinen notwendig, um die zunehmende Dichte von für derzeitige Halbleiterprodukte notwendigen Schaltungen zu berücksichtigen. Mit zunehmender Verkleinerung von Speicherbauelementen wie zum Beispiel DRAMs werden verschiedene Aspekte der Herstellung von DRAM-ICs schwieriger. Zum Beispiel führen extreme Seitenverhältnisse (das Verhältnis der vertikalen Tiefe eines Grabens zu der horizontalen Breite) bei Kleinbauelementen zu Ätz- und Abscheidungsprozeßschwierigkeiten.

[0006] Isolierende Materialien, wie zum Beispiel  $\text{SiO}_2$ , dienen zum Isolieren von Leitern und anderen aktiven Bereichen in Halbleiterbauelementen. Im Stand der Technik wurde bei Backend-of-line-Anwendungen (BEOL), z. B. zur Isolation für Metalleitungen, ein auf einem Quellen-Prekursor aus Tetraethoxysilan (TEOS) basierender Prozeß der plasmaunterstützten chemischen Aufdampfung (PECVD) typischerweise für das Abscheiden von isolierendem Material verwendet, wodurch ein isotropes oder konformes Abscheidungsprofil entstand. Es wurde ein anisotropes Ätzen verwendet, wie zum Beispiel ein physikalisches Sputter-Ätzen, um die Überhänge des isolierenden Materials zu entfernen, die Bereiche abdeckten, die gefüllt werden mußten, und es wurde eine weitere isolierende Schicht abgeschieden, z. B. durch PECVD.

[0007] Eine Technik zum Abscheiden von Isolatoren, die häufiger in dicht gepackten Halbleiterbauelementen mit kleinen Strukturelementgrößen verwendet wird, ist die chemische Aufdampfung CVD mit hochdichtem Plasma (HDP). HDP-CVD wurde bei BEOL in der Vergangenheit benutzt und wird auch bei Front-end-of-line (FEOL) für die Flach-Grabenisolation (STI) verwendet. HDP-CVD erweist

sich jedoch bei den derzeitigen Strukturelementen mit schnell zunehmendem hohem Seitenverhältnis, das sich 4 : 1 und mehr nähert, als Herausforderung.

[0008] Fig. 1 zeigt ein vorbekanntes Halbleiterbauelement 10 mit in einem Substrat 12 ausgebildeten Isolationsgräben 11, wobei die Isolationsgräben 11 ein relativ hohes Seitenverhältnis aufweisen. Das Seitenverhältnis bezieht sich auf das Verhältnis der Höhe (h) im Vergleich zu der Breite (w) zwischen den Isolationsgräben 11 und wird als ein Verhältnis von h : w ausgedrückt, z. B. 3 : 1 oder 4 : 1.

[0009] Das Halbleiterbauelement 10 in diesem Beispiel umfaßt ein DRAM-Bauelement, wobei die Gräben 11 Isolationsgräben (ITs) umfassen, die so ausgelegt sind, daß sie zum Beispiel Elementbereiche eines DRAM-Chips elektrisch isolieren. Die Elementbereiche können als Beispiele aktive Bereiche, Speicherkondensatoren, Transistoren und andere elektronische Elemente umfassen. Der Prozeß des Ausbildens von ITs wird in der Technik häufig zum Beispiel als Shallow-Trench-Isolation (STI) bezeichnet.

[0010] Vor der Ausbildung der Isolationsgräben 11 in dem Substrat 12 kann über dem Substrat 12 ein Kontaktstellen-Nitrid 14 abgeschieden werden. Mit HDP-CVD wird über dem Halbleiterwafer 10 eine isolierende Schicht 16 abgeschieden, um wie gezeigt die Gräben zwischen den aktiven Bereichen zu füllen. Aufgrund des hohen Seitenverhältnisses h : w, das 2 : 1 oder mehr betragen kann, kann der HDP-CVD-Prozeß zu Hohlräumen 20 führen, die sich in den Gräben 11 wie gezeigt bilden. Dazu kommt es, da ein durch HDP-CVD abgeschiedener Isolator 16 tendenziell in der Umgebung des oberen Teils der Gräben 11 Spitzen oder Häuser 18 bildet. Dies führt zu einer größeren Dicke der isolierenden Schicht 16 an der Seitenwand auf der Oberseite der Gräben 11 im Vergleich zu der Seitenwandabscheidung in dem unteren Teil der Gräben 11. Als Folge schließt sich die Oberseite der isolierenden Schicht 16 näher an den Häusern 18, was ein Füllen der Hohlräume 20 verhindert. Die Spitzen der isolierenden Schicht 16 führen zu einer "Abschneidung" des Flusses von Reaktionsmitteln für das isolierende Material 16 in die Gräben 11.

[0011] Ein Problem bei vorbekannten Isolationstechniken ist die Ausbildung dieser Hohlräume 20 in Gräben mit hohem Seitenverhältnis. Aggressive Seitenverhältnisse in DRAM-Bauelementen nähern sich 4 : 1 und mehr. Die Lückenfüllanforderung ist eine Funktion zum Beispiel des Grundmaßes und der Toleranzen für die kritische Abmessung (CD).

[0012] Bei Verkleinerung der minimalen Strukturelementgröße wird das Oxidlückenfüllen von Isolationsgräben 11 schwieriger, insbesondere in Bauelementen wie zum Beispiel Vertikal-DRAMs. Das Hinterlassen von Hohlräumen 20 in einem fertigen Halbleiterbauelement kann zu Ausfällen des Bauelements 10 führen. Hohlräume 20 können unbeabsichtigt in späteren Verarbeitungsschritten, wie zum Beispiel bei der Gate-Leiterabscheidung, mit leitfähigem Material gefüllt werden, was Elemente in dem Substrat kurzschließen kann.

[0013] Es wird in der Technik ein Verfahren zur Bereitstellung der Isolation und zum Abscheiden von isolierendem Material zwischen Gräben mit hohem Seitenverhältnis in den heutigen dicht gepackten Halbleiterbauelementen benötigt.

## KURZE DARSTELLUNG DER ERFINDUNG

[0014] Die vorliegende Erfindung erzielt technische Vorteile als ein Verfahren zum Füllen von Lücken mit hohem Seitenverhältnis in Halbleiterbauelementen. Eine erste anisotrope isolierende Schicht wird abgeschieden und mit ei-

nem isotropen Ätzen geätzt, um die erste Isolierung von den Seiten der Gräben zu entfernen. Zusätzliche anisotrope isolierende Schichten werden je nach Bedarf für das bestimmte Seitenverhältnis des Grabens abgeschieden, um den Graben vollständig zu füllen, ohne Hohlräume in dem Grabenisolationsmaterial zu hinterlassen.

[0015] Es wird ein Verfahren zum Füllen von Lücken zwischen Strukturelementen eines Halbleiterwafers offengelegt, wobei die Lücken Seitenwände aufweisen, mit den folgenden Schritten: Ablagern eines ersten anisotropen isolierenden Materials über dem Wafer, um die Lücken teilweise zu füllen, Entfernen des ersten anisotropen isolierenden Materials von mindestens den Lücken-Seitenwänden und Abscheiden eines zweiten anisotropen isolierenden Materials über dem Wafer, um die Lücken mindestens teilweise zu füllen.

[0016] Außerdem wird ein Verfahren zum Isolieren von Elementbereichen eines Halbleiter-Speicherbauelements offengelegt, wobei das Speicherbauelement mehrere Isolationsgräben enthält, die mehrere Elementbereiche trennen, und die Isolationsgräben Seitenwände enthalten. Das Verfahren umfaßt die folgenden Schritte: Ablagern eines ersten isolierenden Materials über den Isolationsgräben, Entfernen eines Teils des ersten isolierenden Materials mindestens über den Isolationsgrabenseitenwänden und Abscheiden eines zweiten isolierenden Materials über den Gräben.

[0017] Vorteile von Ausführungsformen der vorliegenden Erfindung umfassen die Bereitstellung eines Verfahrens zum Füllen von Lücken mit hohem Seitenverhältnis in Halbleitern, wie zum Beispiel Vertikal-FETs. Vor der Abscheidung der ersten isolierenden Schicht kann über den Gräben eine Deckschicht aus Siliziumnitrid abgeschieden werden, so daß ein für das Nitrid selektives Ätzen verwendet werden kann, um die erste isolierende Schicht von der Seite von Gräben in einem isotropen Ätzschritt zu entfernen. Der obere Teil der Deckschicht aus Siliziumnitrid kann vor der Abscheidung der oberen isolierenden Schicht entfernt werden, wodurch eine Divot-Ausbildung auf der Oberseite verhindert wird, die während der Entfernung des Kontaktstellen-Nitrids auftreten kann. Da nur eine Art von Werkzeug für isolierende Abscheidung erforderlich ist, führt die Erfindung nicht zu übermäßig viel zusätzlicher Komplexität bei dem Herstellungsprozeß. Es kann ein kostengünstiger Prozeß, wie zum Beispiel ein Naßätzprozeß, verwendet werden, um die isolierenden Schichten von den Seitenwänden der Isolationsgräben zu entfernen. Die aktiven Bereiche von Halbleiterbauelementen sind gemäß der vorliegenden Erfindung skalierbar; das heißt, die Anzahl von isolierenden Schichten kann gemäß dem erforderlichen Graben-Seitenverhältnis verändert oder erhöht werden.

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0018] Die obigen Merkmale der vorliegenden Erfindung werden bei Durchsicht der folgenden Beschreibungen in Verbindung mit den beigefügten Zeichnungen besser verständlich. Es zeigen:

[0019] Fig. 1 eine Querschnittsansicht eines vorbekannten DRAM mit Hohlräumen in dem HDP-CVD-Isolationsmaterial zwischen Isolationsbereichen oder Gräben;

[0020] Fig. 2-7 Querschnittsansichten einer Ausführungsform der vorliegenden Erfindung in verschiedenen Herstellungsphasen;

[0021] Fig. 8-10 eine Ausführungsform der vorliegenden Erfindung in verschiedenen Herstellungsphasen; und

[0022] Fig. 11 eine Querschnittsansicht einer anderen Ausführungsform der vorliegenden Erfindung.

[0023] Entsprechende Bezugszahlen und Symbole in den

verschiedenen Figuren beziehen sich auf entsprechende Teile, sofern nicht anders angegeben. Die Figuren sind so gezeichnet, daß die relevanten Aspekte der bevorzugten Ausführungsformen deutlich dargestellt werden, und nicht unbedingt maßstabsgetreu.

#### AUSFÜHRLICHE BESCHREIBUNG BEVORZUGTER AUSFÜHRUNGSFORMEN

[0024] Es wird nun eine Beschreibung bevorzugter Ausführungsformen der vorliegenden Erfindung besprochen, worauf eine Besprechung einiger Vorteile der Erfindung folgt. In jeder Figur sind zwei Isolationsgräben gezeigt, obwohl viele andere Isolationsgräben und andere Speicherzellenkomponenten in den gezeigten Halbleiterbauelementen vorhanden sein können.

[0025] Eine Ausführungsform der vorliegenden Erfindung ist in Fig. 2-7 im Querschnitt gezeigt. Unter erster Bezugnahme auf Fig. 2 wird ein Halbleiterwafer 100 mit einem Substrat 112 bereitgestellt. Das Halbleiterbauelement 100 kann ein DRAM- oder ein anderes Speicherbauelement umfassen, oder als Alternative andere Arten von Halbleiterbauelementen als Beispiele. Das Substrat 112 kann zum Beispiel aus Silizium oder anderen Halbleitermaterialien bestehen. Das Substrat 112 kann folgendes enthalten: Elementbereiche mit aktiven Bereichen (AAs), Speicherkondensatoren und andere elektronische Elemente, die in dem Endprodukt voneinander isoliert werden müssen. Zur Bereitstellung dieser Isolation werden in dem Substrat 112 Isolationsgräben 111 ausgebildet.

[0026] Vor der Ausbildung von Isolationsgräben 111 kann über dem Substrat 112 ein Kontaktstellen-Oxid 122 ausgebildet werden. Das Kontaktstellenoxid 122 umfaßt in der Regel zum Beispiel ungefähr 30-100 Ångström Siliziumoxid. Über dem Kontaktstellenoxid 122 kann ein Kontaktstellen-Nitrid 114 abgeschieden werden. Das Kontaktstellen-Nitrid 114 kann zum Beispiel Siliziumnitrid oder andere Nitride umfassen und ungefähr 1000 Ångström dick sein.

[0027] Danach werden unter Verwendung eines lithographischen und eines Ätzprozesses Isolationsgräben 111 ausgebildet. Die Gräben 111 können zum Beispiel in dem Silizium 112 400-800 Nanometer tief sein und Seitenverhältnisse von 2 : 1, 3 : 1, 4 : 1 oder mehr aufweisen. In den Isolationsgräben 111 wird über dem Substrat 112 ein Seitenwandoxid 121 ausgebildet. Das Seitenwandoxid 121, das auch als ein Oxid für aktive Bereiche (AA ox) bezeichnet wird, umfaßt vorzugsweise thermisch aufgewachsenes Siliziumoxid und kann ungefähr zwischen 50 und 150 Ångström dick sein.

[0028] Vorzugsweise wird wahlweise in den Isolationsgräben 111 über dem Kontaktstellenoxid 121 eine Nitrid-Deckschicht 125 abgeschieden. Die Nitrid-Deckschicht 125 umfaßt vorzugsweise Siliziumnitrid und kann als Alternative zum Beispiel andere Nitride umfassen. Die Nitrid-Deckschicht 125 ist vorzugsweise ungefähr 30-100 Ångström dick.

[0029] Gemäß der vorliegenden Erfindung wird über dem Wafer 100 in den Isolationsgräben 111, wie in Fig. 3 gezeigt, ein erstes isolierendes Material 116 abgeschieden. Das erste isolierende Material 116 umfaßt vorzugsweise SiO<sub>2</sub> und kann als Alternative beispielsweise Siliziumnitrid, Oxynitrid, Siliziumcarbid, deren Zusammensetzungen, dotiertes Phosphor-Siliziumglas (PSG) oder Bor-PSG (BPSG) umfassen. Vorzugsweise wird das erste isolierende Material 116 in einem anisotropen Abscheidungsprozeß, wie zum Beispiel HDP-CVD, abgeschieden, so daß nur eine geringe Menge des isolierenden Materials 116 auf den Seiten der Isolationsgräben 111, die allgemein bei 124 gezeigt sind, ab-

geschieden wird. Insbesondere wird das erste isolierende Material 116 über der Topographie des Substrats 112 dergestalt abgeschieden, daß die Dicke des ersten isolierenden Materials 116 im Boden der Gräben 111 die Dicke des ersten isolierenden Materials 116 auf den Seitenwänden der Gräben 111 überschreitet. Das erste isolierende Material 116 wird vorzugsweise teilweise in einer Dicke von zum Beispiel ungefähr 300 Nanometer in dem Boden des Grabens 111 teilweise in den Gräben 111 abgeschieden.

[0030] Der Wafer 100 wird einem isotropen Ätzschritt ausgesetzt, um das erste isolierende Material 116 mindestens von den Seiten der Isolationsgräben 111 (siehe Fig. 4) zu entfernen. Obwohl ein kleiner Teil des ersten isolierenden Materials durch den isotropen Ätzschritt von den oberen Oberflächen des Wafers 100 und der oberen Oberfläche des ersten isolierenden Materials 116 in dem Graben entfernt werden kann, verbleibt ein Teil des ersten isolierenden Materials 116 im Boden der Isolationsgräben 111 und über der Oberseite des Kontaktstellen-Nitrids 114 bestehen. Bei einer Ausführungsform umfaßt das erste isolierende Material 116 ein Oxid, und da eine Nitrid-Deckschicht 122 verwendet wird, wird vorzugsweise ein für Nitrid selektives Ätzen verwendet. Zum Beispiel kann eine Naßätzung mit gepufferter HF- oder einer anderen auf HF basierenden Chemie oder ein isotropes Trockenätzen, z. B. chemisches Downstream-Ätzen (CDE) unter Verwendung von auf Fluor basierender Chemie, verwendet werden, um das erste isolierende Material 116 von den Seitenwänden der Isolationsgräben 111 zu entfernen, wenn das isolierende Material 116  $\text{SiO}_2$  umfaßt. Als Alternative kann ein zeitgesteuertes Ätzen verwendet werden. Es werden vorzugsweise ungefähr 5–50 Nanometer des ersten isolierenden Materials 116 entfernt.

[0031] Über dem Wafer 100 wird ein zweites isolierendes Material 126 abgeschieden (siehe Fig. 5). Vorzugsweise umfaßt die zweite isolierende Schicht 126 durch HDP-CVD abgeschiedenes Oxid. Das zweite isolierende Material 126 umfaßt vorzugsweise  $\text{SiO}_2$  und kann als Alternative beispielsweise Siliziumnitrid, Oxynitrid, Siliziumcarbid, deren Zusammensetzungen, PSG oder BPSG umfassen. Das zweite isolierende Material 126 wird vorzugsweise mit einem anisotropen Abscheidungsprozeß abgeschieden, um mehr isolierendes Material 126 über dem Boden der Isolationsgräben 111 über der ersten isolierenden Schicht 122 abzuschneiden, als auf den Seiten der Isolationsgräben 111 abgeschieden wird. Die zweite isolierende Schicht 126 kann zum Beispiel 400 Nanometer betragen.

[0032] Auf dem Wafer 100 (siehe Fig. 6) wird ein zweiter isotroper Ätzprozeß durchgeführt, um das zweite isolierende Material 126 von mindestens den Seiten der Gräben 111 zu entfernen. Da eine Nitrid-Deckschicht 122 verwendet wird, kann wiederum, wenn für das zweite isolierende Material 126 ein Oxid verwendet wird, ein für Nitrid selektives Ätzen verwendet werden, um das zweite isolierende Material 126 von den IG-111-Seitenwänden zu entfernen. Als Alternative kann ein zeitgesteuertes Ätzen verwendet werden. Zum Beispiel werden ungefähr 10–100 Nanometer der zweiten isolierenden Schicht 126 in dem zweiten Ätzschritt entfernt.

[0033] Wenn das Seitenverhältnis der Gräben 111 klein genug ist, kann die Dicke des zweiten isolierenden Materials 126 ausreichen, um die Isolationsgräben 111 vollständig bis zu der Oberseite der Schicht aus Kontaktstellen-Nitrid 115 oder mehr zu füllen. In diesem Fall kann ein (nicht gezeigtes) chemisch-mechanisches Polieren (CMP) durchgeführt werden, um das unerwünschte isolierende Material 116 und 126 von der Oberseite des Kontaktstellen-Nitrids 114 zu entfernen, und nachfolgende Verarbeitungsschritte können an dem Wafer 100 ausgeführt werden, um den Herstellungs-

prozeß abzuschließen.

[0034] Wenn jedoch das Seitenverhältnis der Isolationsgräben 111 hoch ist, z. B. 3 : 1, 4 : 1 oder mehr, können insgesamt drei oder mehr zusätzliche isolierende Materialschichten, die vorzugsweise durch HDP-CVD abgeschieden werden, erforderlich sein, um die Isolationsgräben 111 zu füllen, und werden in sequentiellen Schritten von mindestens den Seiten der Gräben 111 entfernt. Die zusätzlichen Schichten aus isolierendem Material umfassen vorzugsweise  $\text{SiO}_2$  und können als Alternative beispielsweise Siliziumnitrid, Oxynitrid, Siliziumcarbid, deren Zusammensetzungen, PSG oder BPSG umfassen. Wie das erste isolierende Material 116 und das zweite isolierende Material 126 werden die zusätzlichen Schichten aus isolierendem Material vorzugsweise mit einem anisotropen Abscheidungsprozeß abgeschieden, um über dem Boden der Isolationsgräben 111 mehr Isolationsmaterial abzuschneiden, als auf den Seiten der Isolationsgräben 111 abgeschieden wird. Nach jeder Abscheidung von isolierendem Material wird das isolierende Material von mindestens den Seiten der Isolationsgräben 111 unter Verwendung eines isotropen Ätzschritts entfernt, mit Ausnahme der letzten Abscheidung von isolierendem Material.

[0035] Fig. 7 zeigt eine Querschnittsansicht des Wafers 100 mit einem dritten isolierenden Material 130, das über dem Wafer 100 in den Gräben 111 abgeschieden wird. Vorzugsweise wird das dritte isolierende Material 130 mit einem anisotropen Abscheidungsprozeß, wie zum Beispiel HDP-CVD, abgeschieden, um die Isolationsgräben 111 vollständig zu füllen. Es wird ein CMP durchgeführt (nicht gezeigt), um die unerwünschten Schichten 116/126/130 aus isolierendem Material von der Oberseite des Kontaktstellen-Nitrids 114 zu entfernen, und nachfolgende Bearbeitungsschritte werden an dem Wafer 100 ausgeführt, um den Herstellungsprozeß abzuschließen.

[0036] Da die Sequenz der HDP-CVD-Abscheidung von isolierenden Materialschichten 116/126/130 in dem Graben 111 und der Ätzprozesse zur Entfernung des isolierenden Materials 116/126/130 von den Seitenwänden der Isolationsgräben 111 zu einer vollständigen Lückenfüllung führt, besteht keine Möglichkeit, daß sich leitfähige oder verunreinigende Materialien, wie zum Beispiel aus Gate-Poly-Si oder CMP-Schlamm, in den Isolationsgräben 111 festsetzen und dadurch Kurzschlüsse oder Defekte erzeugen.

[0037] Fig. 8–10 zeigen eine andere Ausführungsform der vorliegenden Erfindung, wobei, bevor die letzte isolierende Materialschicht 230 in den Isolationsgräben 211 abgeschieden wird, die Nitrid-Deckschicht 225 von dem oberen Bereich 242 der Gräben 211 entfernt wird. In einem wahlweisen Schritt, bevor die letzte isolierende Materialschicht 230 oder 226 abgeschieden wird, wird die Nitrid-Deckschicht 225 wie in Fig. 8 gezeigt zurückgeätzt. Vorzugsweise ist der Ätzschritt für die Nitrid-Deckschicht 225 für Oxid selektiv und kann zum Beispiel heiße Phosphorsäure umfassen. Die letzte isolierende Materialschicht 230 wird über dem Wafer 200 abgeschieden, um die Isolationsgräben 211 wie in Fig. 9 gezeigt zu füllen.

[0038] Wenn der Wafer 200 durch CMP poliert wird, um das überschüssige isolierende Material 216/226/230 zu entfernen und das Kontaktstellen-Nitrid 214 zum Beispiel durch heiße Phosphorsäure von der Oberseite des Substrats 212 entfernt wird, ist es vorteilhaft, daß die Nitrid-Deckschicht 225 von dem oberen Teil der Isolationsgräben 211 entfernt wurde, da die Ausbildung von Divots 229 entlang der Silizium/Isolator-Grenzfläche verhindert wird. Wenn eine (gestrichelt gezeigte) Nitrid-Deckschicht 229 in dem oberen Teil der Isolationsgräben 211 übriggelassen wird, können sich (gestrichelt gezeigte) Divots 231 bilden, da das

Siliziumnitrid 229 während der Entfernung des Kontaktstellen-Nitrids 214 teilweise entfernt wird. Die Bildung von Divots 231 in der oberen Oberfläche des Wafers 200 ist unerwünscht, da sich Divots 231 in nachfolgenden Abscheidungsschritten, z. B. von Polysilizium, füllen können und Kurzschlüsse erzeugen. Zusätzlich verbessert das Entfernen der SiN-Deckschicht 229 die Zuverlässigkeit spezifischer PFET-Bauelemente aufgrund der reduzierten Verschlechterung von heißen Ladungsträgern ihrer jeweiligen Gate-Oxide.

[0039] Fig. 11 zeigt eine Ausführungsform der vorliegenden Erfindung mit sequentiellen Schichten aus isolierendem Material 316/326/330, das durch HDP-CVD in Isolationsgräben 311 abgeschieden wird, wobei in den Gräben keine Nitrid-Deckschicht 125/225 verwendet wird. Statt einen für Nitrid selektiven isotropen Ätzschritt zu verwenden, wird bei dieser Ausführungsform ein zeitgesteuertes Ätzen verwendet, um eine Beschädigung der Oxid-Deckschicht 321 zu vermeiden, die zum Beispiel die aktiven Bereiche in den Gräben 311 bedeckt. Fig. 11 zeigt außerdem die Isolationsgräben 311 mit einem solchen Seitenverhältnis, daß zwei isolierende Schichten 316/326 ausreichen, um die Isolationsgräben 311 zu füllen. Bei Isolationsgräben 311 mit hohem Seitenverhältnis können jedoch zwei oder mehr isolierende Schichten erforderlich sein, um die Lücken vollständig zu füllen.

[0040] Die vorliegende Erfindung wird hier als ein Verfahren zum Füllen von Isolationsgräben in einem Speicherbauelement beschrieben. Das vorliegende Verfahren kann jedoch auch zum Füllen von Lücken und zur Bereitstellung einer elektrischen Isolation zwischen topographischen Strukturelementen eines beliebigen Halbleiterbauelements verwendet werden. Die Erfindung ist besonders vorteilhaft, wenn die Lücken oder Gräben hohe Seitenverhältnisse aufweisen, wie z. B. 3 : 1 oder mehr (3 : 1, 4 : 1, 5 : 1 usw.).

[0041] Die vorliegende Erfindung erzielt technische Vorteile als ein Verfahren zum Füllen von Isolationsgräben 111/211/311 mit hohen Seitenverhältnissen und sequentiell abgeschiedenen Schichten aus isolierendem Material 116/126/130/216/226/230/316/326, das keine Hohlräume oder Lücken in dem isolierenden Material hinterläßt. Vorteile von Ausführungsformen der Erfindung sind u. a. die Bereitstellung eines hohlraumfreien Verfahrens zum Füllen von Lücken mit hohem Seitenverhältnis in Halbleitern wie zum Beispiel Vertikal-DRAMs. Eine Siliziumnitrid-Deckschicht 125/225 kann über den Isolationsgräben 111/211 vor der Abscheidung des isolierenden Materials 116/126/130/216/226/230 abgeschieden werden, so daß ein für Nitrid selektiver Ätzprozeß verwendet werden kann, um das isolierende Material 116/126/216/226 von der Seite der Isolationsgräben 111/211 in einem isotropen Ätzschritt zu entfernen. Der obere Teil der Nitrid-Deckschicht 125/225 kann vor der Abscheidung der obersten isolierenden Materialschicht 130/230 entfernt werden, wodurch auf der oberen Oberfläche eine Divot-Ausbildung verhindert wird, die während der Entfernung des Kontaktstellen-Nitrids 114/214 auftreten kann. Die Erfindung führt nicht zu viel zusätzlicher Komplexität bei dem Herstellungsprozeß, da nur eine Art von Abscheidungswerkzeug für isolierendes Material erforderlich ist und ein Naßätzprozeß verwendet werden kann, um das isolierende Material 116/126/216/226/316 von den Seiten der Isolationsgräben 111/211/311 zu entfernen, was ein preiswerter Prozeß ist. Die aktiven Bereiche von Halbleiterbauelementen sind gemäß der vorliegenden Erfindung skalierbar, das heißt, die Anzahl von isolierenden Materialschichten 116/126/130/216/226/230/316/326 kann gemäß dem erforderlichen Seitenverhältnis der Isolationsgräben 111/211/311 verändert oder erhöht werden.

[0042] Obwohl die Erfindung in bezug auf Ausführungsbeispiele beschrieben wurde, soll die vorliegende Beschreibung nicht als einschränkend aufgefaßt werden. Für Fachleute sind bei Durchsicht der Beschreibung verschiedene Modifikationen bei Kombinationen der Ausführungsbeispiele sowie andere Ausführungsformen der Erfindung ersichtlich. Obwohl die Erfindung hier mit Bezug auf einen DRAM beschrieben wurde, kann sie zum Beispiel auch nutzbringend auf FRAM- oder andere Speicher und verschiedene andere Arten von Halbleiterbauelementen angewandt werden. Außerdem kann die Reihenfolge von Prozessschritten von Durchschnitfachleuten umgeordnet werden und liegt aber weiterhin im Schutzzumfang der vorliegenden Erfindung. Es ist deshalb beabsichtigt, daß die angefügten Ansprüche alle solchen Modifikationen oder Ausführungsformen umfassen. Außerdem ist beabsichtigt, daß der Schutzzumfang der vorliegenden Anmeldung nicht auf die in der Beschreibung beschriebenen konkreten Ausführungsformen für den Prozeß, die Maschine, die Herstellung, die Materialzusammensetzung, die Mittel, Verfahren und Schritte beschränkt ist.

[0043] Folglich sollen die angefügten Ansprüche in ihrem Schutzzumfang solche Prozesse, Maschinen, Herstellungsweisen, Materialzusammensetzungen, Mittel, Verfahren oder Schritte umfassen.

#### Patentansprüche

1. Verfahren zum Füllen von Lücken zwischen Strukturelementen eines Halbleiterwafers, wobei die Lücken Seitenwände aufweisen, mit den folgenden Schritten: Ablagern eines ersten anisotropen isolierenden Materials über dem Wafer, um die Lücken teilweise zu füllen; Entfernen des ersten anisotropen isolierenden Materials von mindestens den Lücken-Seitenwänden; und Abscheiden eines zweiten anisotropen isolierenden Materials über dem Wafer, um die Lücken mindestens teilweise zu füllen.
2. Verfahren nach Anspruch 1, weiterhin mit den folgenden Schritten: Entfernen des zweiten isolierenden Materials von mindestens den Lücken-Seitenwänden; und Ablagern eines dritten anisotropen isolierenden Materials über dem Wafer, um die Lücken zumindest teilweise zu füllen.
3. Verfahren nach Anspruch 2, weiterhin mit den folgenden Schritten: Entfernen des dritten anisotropen isolierenden Materials von mindestens den Lücken-Seitenwänden; und Ablagern eines vierten isolierenden Materials über dem Wafer, um die Lücken zumindest teilweise zu füllen.
4. Verfahren nach Anspruch 1, wobei das Abscheiden eines ersten und eines zweiten isolierenden Materials einen HDP-CVD-Prozeß umfaßt.
5. Verfahren nach Anspruch 4, wobei das erste und das zweite isolierende Material SiO<sub>2</sub>, Siliziumnitrid, Oxynitrid, Siliziumcarbid, deren Zusammensetzungen, dotiertes Phosphor-Siliziumglas (PSG) oder Bor-PSG (BPSG) umfassen.
6. Verfahren nach Anspruch 1, wobei das Entfernen des ersten isolierenden Materials einen isotropen Ätzprozeß umfaßt.
7. Verfahren nach Anspruch 1, wobei die Lücken Isolationsgräben zwischen Elementbereichen eines Speicherbauelements umfassen.
8. Verfahren nach Anspruch 7, bei dem weiterhin vor der Ausbildung der Isolationsgräben ein Kontaktstellen-Nitrid über dem Halbleiterwafer abgeschieden

wird.

9. Verfahren nach Anspruch 8, wobei weiterhin vor der Abscheidung eines ersten isolierenden Materials eine Nitrid-Deckschicht in den Gräben abgeschieden wird.

10. Verfahren nach Anspruch 9, bei dem weiterhin nach der Abscheidung des ersten isolierenden Materials die Nitrid-Deckschicht von einem oberen Bereich der Gräben entfernt wird.

11. Verfahren zum Isolieren von Elementbereichen eines Halbleiter-Speicherbauelements, wobei das Speicherbauelement mehrere Isolationsgräben enthält, die mehrere Elementbereiche trennen, wobei die Isolationsgräben Seitenwände enthalten, mit den folgenden Schritten:

Abscheiden eines ersten isolierenden Materials über den Isolationsgräben;

Entfernen eines Teils des ersten isolierenden Materials von mindestens über den Seitenwänden der Isolationsgräben; und

Ablagern eines zweiten isolierenden Materials über den Gräben.

12. Verfahren nach Anspruch 11, wobei das Abscheiden eines ersten und eines zweiten isolierenden Materials einen anisotropen Prozeß umfaßt, wobei das Entfernen des ersten isolierenden Materials einen isotropen Ätzprozeß umfaßt.

13. Verfahren nach Anspruch 12, wobei das Abscheiden eines ersten und eines zweiten isolierenden Materials einen HDP-CVD-Prozeß umfaßt.

14. Verfahren nach Anspruch 13, weiterhin mit den folgenden Schritten:

Abscheiden einer Nitrid-Deckschicht in den Isolationsgräben vor der Abscheidung eines ersten isolierenden Materials; und

Entfernen der Nitrid-Deckschicht von einem oberen Bereich der Gräben nach der Entfernung des ersten isolierenden Materials von den Seitenwänden der Isolationsgräben.

15. Verfahren nach Anspruch 11, wobei die Isolationsgräben Seitenverhältnisse von 3 : 1 oder mehr aufweisen.

16. Verfahren nach Anspruch 11, weiterhin mit den folgenden Schritten:

Entfernen des zweiten isolierenden Materials von mindestens den Seitenwänden der Isolationsgräben; und Abscheiden eines dritten isolierenden Materials über dem Wafer, um die Isolationsgräben zumindest teilweise zu füllen.

17. Verfahren nach Anspruch 16, weiterhin mit den folgenden Schritten:

Abscheiden einer Nitrid-Deckschicht in den Isolationsgräben vor der Abscheidung eines ersten isolierenden Materials; und

Entfernen der Nitrid-Deckschicht von einem oberen Bereich der Gräben nach der Entfernung des zweiten isolierenden Materials von den Seitenwänden der Isolationsgräben.

18. Verfahren nach Anspruch 16, wobei das Abscheiden eines ersten, eines zweiten und eines dritten isolierenden Materials einen anisotropen HDP-CVD-Prozeß umfaßt, wobei das Entfernen des ersten und des zweiten isolierenden Materials einen isotropen Ätzprozeß umfaßt.

19. Verfahren nach Anspruch 16, weiterhin mit den folgenden Schritten:

Entfernen des dritten isolierenden Materials von mindestens den Seitenwänden der Isolationsgräben; und

Abscheiden eines vierten isolierenden Materials über dem Wafer, um die Isolationsgräben zumindest teilweise zu füllen.

20. Verfahren nach Anspruch 19, weiterhin mit den folgenden Schritten:

Abscheiden einer Nitrid-Deckschicht in den Isolationsgräben vor der Abscheidung eines ersten isolierenden Materials; und

Entfernen der Nitrid-Deckschicht von einem oberen Bereich der Gräben nach der Entfernung des dritten isolierenden Materials von den Seitenwänden der Isolationsgräben.

21. Verfahren nach Anspruch 19, wobei das Abscheiden eines ersten, eines zweiten, eines dritten und eines vierten isolierenden Materials einen anisotropen HDP-CVD-Prozeß umfaßt, wobei das Entfernen des ersten, des zweiten und des dritten isolierenden Materials einen isotropen Ätzprozeß umfaßt.

22. Verfahren nach Anspruch 11, bei dem weiterhin vor der Ausbildung der Isolationsgräben ein Kontaktstellen-Nitrid über dem Halbleiterwafer abgeschieden wird.

---

Hierzu 6: Seite(n) Zeichnungen

---

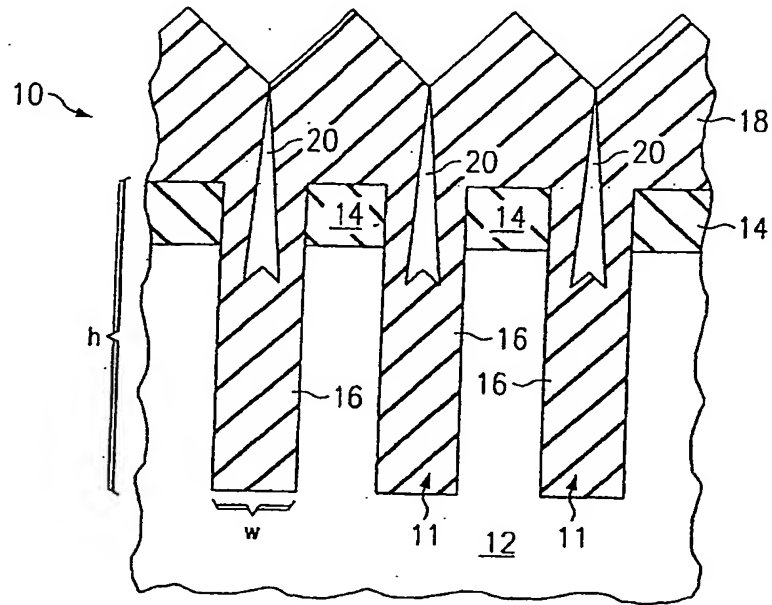


FIG. 1  
(STAND DER TECHNIK)

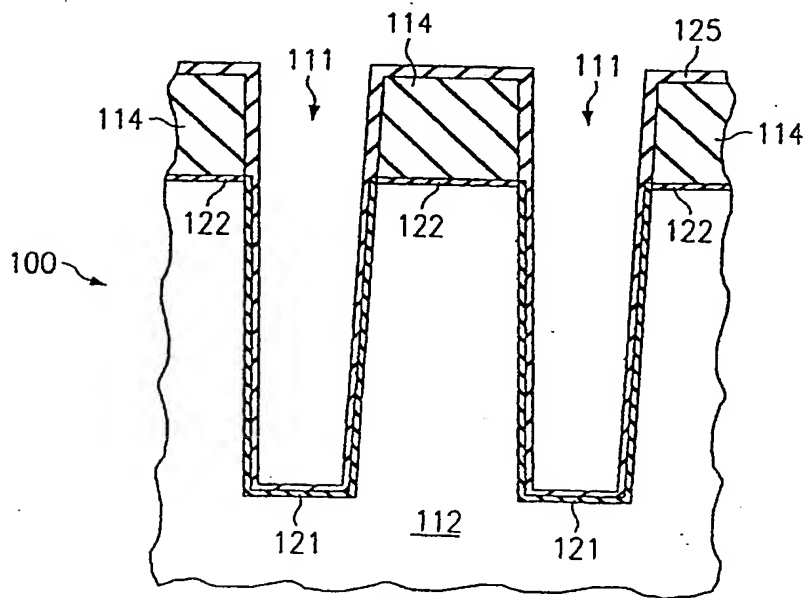


FIG. 2

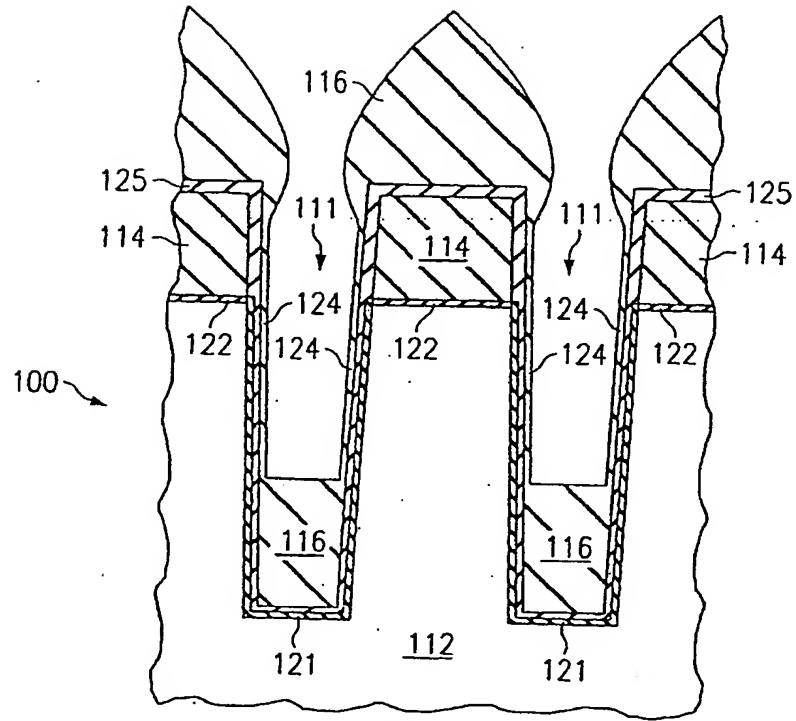


FIG. 3

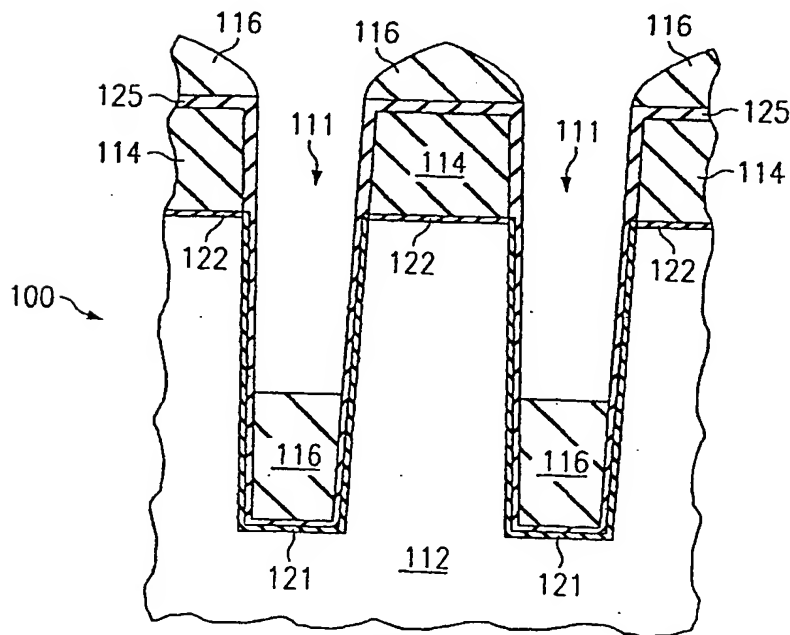
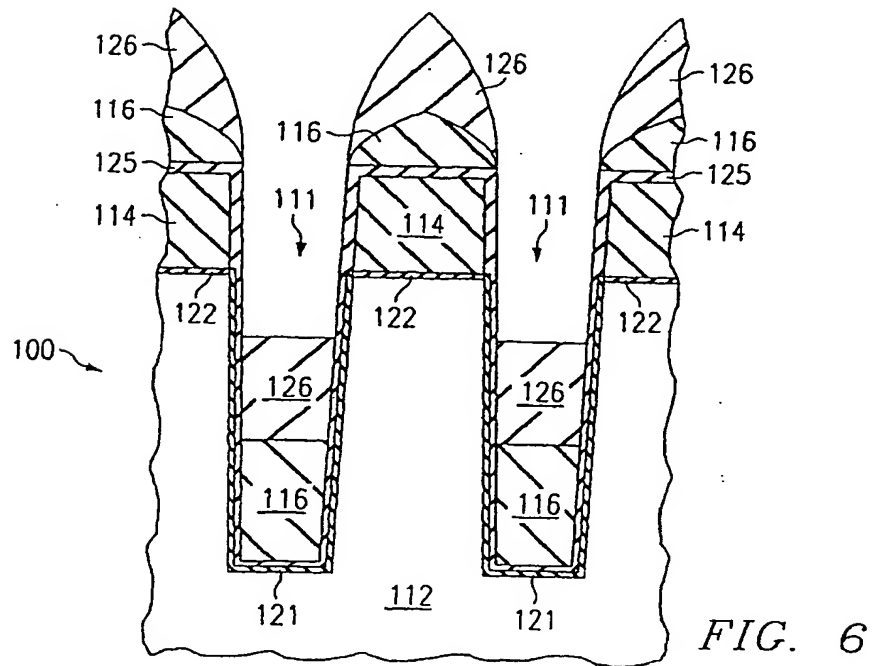
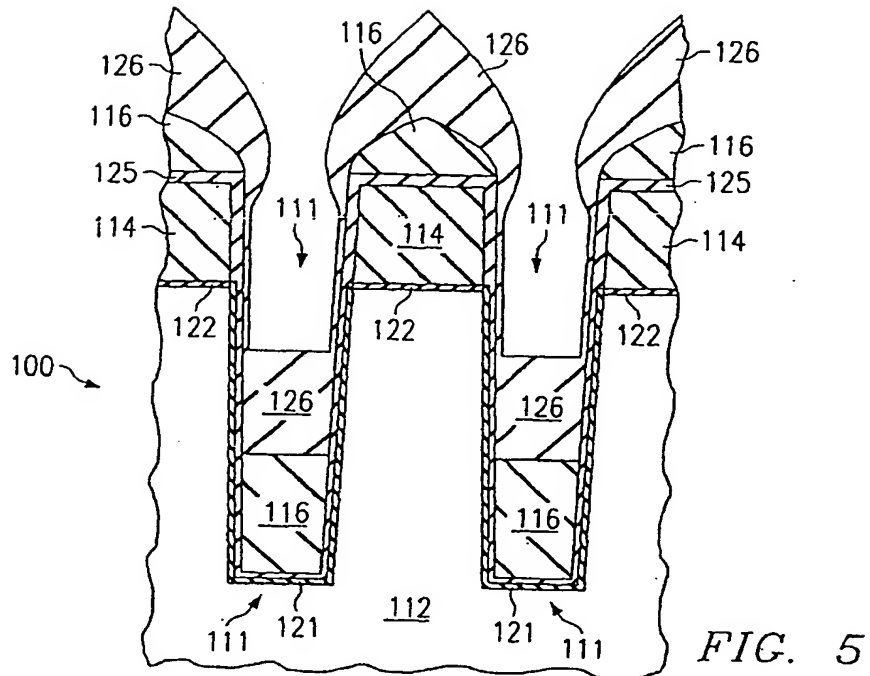


FIG. 4





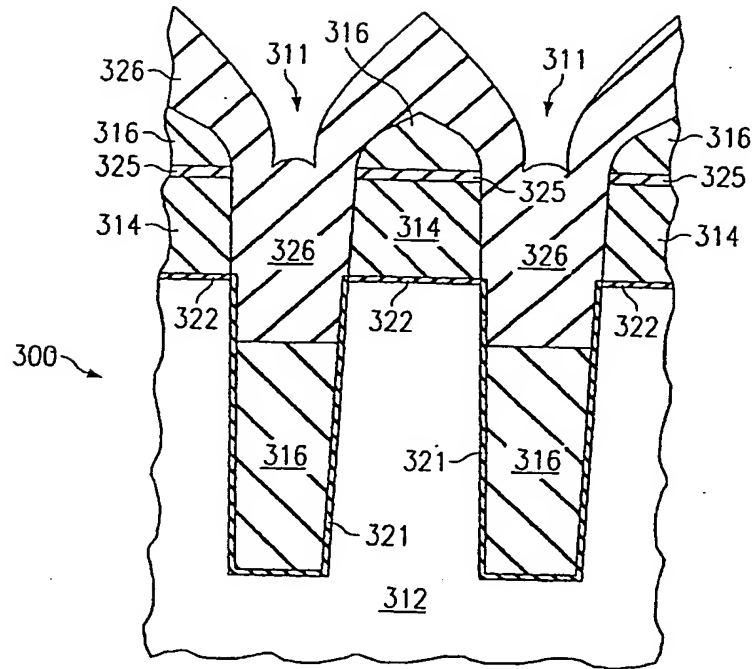


FIG. 11